

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-228827

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

G09G 3/36

G09G 3/20

(21)Application number : 2000-037956

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.02.2000

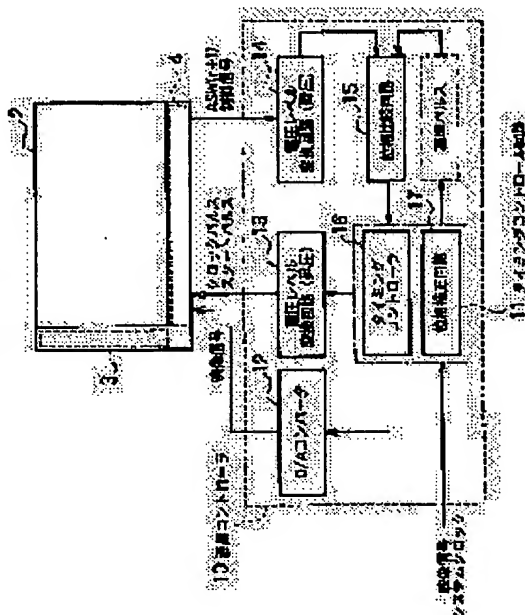
(72)Inventor : YAMAZAKI NOBUO
HIROTA SHINICHI

(54) SIGNAL CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To dissolve deviation between selection period of a signal line and phase relation of a video signal due to variations of characteristics of TFTs, constituting shift register in a signal line driver in the signal control circuit of an active matrix type liquid crystal display device, in which a drive circuit is incorporated.

SOLUTION: An ASW (n+1) control signal, supplied to the block of an (n+1)th stage, and reference pulses are compared in a phase comparing circuit 15, and the phase difference is detected to be outputted to a phase correction circuit 17 of a timing control circuit 11. The circuit 17 corrects the phase of clock pulses to be outputted from a timing controller 16, according to the phase difference between the two signals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

1

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の信号線及び複数の走査線、前記信号線と走査線の各交点近傍に配置されたスイッチ素子及び前記スイッチ素子に接続された画素電極とを含むアレイ基板と、前記画素電極に対向する対向電極を含む対向基板と、前記基板間に介在された光変調層と、前記信号線及び走査線のそれぞれの駆動回路とを備えた液晶表示装置に、少なくとも映像信号、クロックパルス及びスタートパルスを供給する信号制御回路において、

前記信号線の駆動回路から前記信号線を複数本づつ順次選択するために出力されるスイッチ制御信号の一つと、基準パルス信号との位相差を検出する位相比較回路と、前記基準パルス信号を発生する基準パルス発生回路と、前記位相比較回路で検出された位相差に応じて、前記液晶表示装置に供給するクロックパルスの位相を補正する位相補正回路と、

を備えたことを特徴とする信号制御回路。

【請求項2】 前記位相比較回路は、前記基準パルス信号を入力とする第1のフリップフロップ回路と、前記一つのスイッチ制御信号を入力とする第2のフリップフロップ回路と、前記第1のフリップフロップ回路からの出力信号及び第2のフリップフロップ回路からの反転出力信号の論理積を利用して前記2つの信号の位相差をカウントするカウンタ回路とから構成され、前記位相補正回路は、前記カウンタ回路から出力された位相差に基づいて、位相の異なる複数のクロックパルスのうちの一つを選択して出力するデータ選択回路から構成されることを特徴とする請求項1記載の信号制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶パネルを構成するアレイ基板上に駆動回路を内蔵したアクティブマトリクス型液晶表示装置の信号制御回路に関する。

【0002】

【従来の技術】表示画面を構成する各画素毎にスイッチング素子としてTFT（薄型トランジスタ）を用いたアクティブマトリクス型液晶表示装置は、隣接画素間でクロストークがなく、高精細化に適していることから、ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。近年では、p-Si（ポリシリコン）TFTを用いた液晶表示装置に代表されるように、高精細化、薄型化等の目的のために、液晶パネルの一方を構成するアレイ基板上に駆動回路を内蔵した、駆動回路一体型の液晶表示装置が注目されている。

【0003】このような駆動回路一体型の液晶表示装置の駆動方式としては、1水平走査期間内に、複数本の信号線（ブロック）を順次選択しながら映像信号を印加す

2

る、ブロック順次駆動方式が知られている。このブロック順次駆動を行う信号線ドライバは、シフトレジスタ、アナログスイッチ（以下、ASW）で構成され、信号制御回路から映像信号、クロックパルス及びスタートパルスが供給される。そして、前記シフトレジスタが生成するシフトパルスがASW制御信号となり、ASWのオン／オフが制御される。このASWのオン／オフにより、信号線の順次選択を行い、映像信号を信号線に供給する。

10 【0004】

【発明が解決しようとする課題】ところで、ある信号線に所定の映像信号を印加するためには、この信号線の選択期間と映像信号の位相関係が適切に保たれている必要がある。しかし、この位相関係がずれると、映像信号は1つ手前あるいは後ろの信号線の選択期間にずれ込んで供給され、これにより画面上にゴーストが発生し、表示品位が低下するという問題が生じる。このような位相関係のずれが生じる主な原因としては、信号線ドライバ内のシフトレジスタを構成するTFTの特性バラツキが挙げられる。

20 【0005】この発明は、信号線の選択期間と映像信号の位相関係のずれを解消することにより、ゴーストを低減して、良好な表示品位を得ることができる信号制御回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的と達成するため、請求項1の発明は、マトリクス状に配置された複数の信号線及び複数の走査線、前記信号線と走査線の各交点近傍に配置されたスイッチ素子及び前記スイッチ素子に接続された画素電極とを含むアレイ基板と、前記画素電極に対向する対向電極を含む対向基板と、前記基板間に介在された光変調層と、前記信号線及び走査線のそれぞれの駆動回路とを備えた液晶表示装置に、少なくとも映像信号、クロックパルス及びスタートパルスを供給する信号制御回路において、前記信号線の駆動回路から前記信号線を複数本づつ順次選択するために出力されるスイッチ制御信号の一つと、基準パルス信号との位相差を検出する位相比較回路と、前記基準パルス信号を発生する基準パルス発生回路と、前記位相比較回路で検出された位相差に応じて、前記液晶表示装置に供給するクロックパルスの位相を補正する位相補正回路とを備えたことを特徴とする。

30 【0007】また請求項2の発明は、請求項の発明において、前記位相比較回路は、前記基準パルス信号を入力とする第1のフリップフロップ回路と、前記一つのスイッチ制御信号を入力とする第2のフリップフロップ回路と、前記第1のフリップフロップ回路からの出力信号及び第2のフリップフロップ回路からの反転出力信号の論理積を利用して前記2つの信号の位相差をカウントするカウンタ回路とから構成され、前記位相補正回路は、前

50

(3)

3

記カウンタ回路から出力された位相差に基づいて、位相の異なる複数のクロックパルスのうちの一つを選択して出力するデータ選択回路から構成されることを特徴とする。

【0008】上記構成によれば、スイッチ制御信号の一つと基準パルスとの位相差に応じて、スイッチ制御信号の送出タイミングを決めるクロックパルスの位相が補正されるので、信号線ドライバ内のシフトレジスタを構成するTFTの特性バラツキによりスイッチ制御信号のタイミングばらつきでも、スイッチ制御信号と映像信号のタイミングを最適化することができ、位相関係のずれを解消することができる。

【0009】

【発明の実施の形態】以下、この発明に係わる信号制御回路を、アクティブマトリクス型液晶表示装置の信号制御回路に適用した場合の実施形態について説明する。

【0010】図2は、この実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図であり、とくにブロック順次駆動方式の回路構成を示している。この液晶表示装置1は、液晶パネル2と、この液晶パネル2を駆動するための走査線ドライバ3及び信号線ドライバ4と、これらのドライバに映像信号、クロックパルス及びスタートパルスを供給する図示しない液晶コントローラとから構成されている。

【0011】液晶パネル2は、例えば図示しないバックライトからの光源光を用いて表示する光透過型の表示パネルとして構成されている。この液晶パネル2には、信号線ドライバ4と接続された複数の信号線7と、走査線ドライバ3と接続された複数の図示しない走査線がマトリクス状に配置されている。これらの配線は図示しないアレイ基板上に形成されており、さらに各交点近傍には、図示しないTFTからなるスイッチ素子、画素電極が形成されている。一方、このアレイ基板と対向して配置される図示しない対向基板上には対向電極が形成されており、これら2つの基板間には、図示しない光変調層としての液晶層が保持されている。

【0012】なお、液晶パネル2において、後述する走査線ドライバ3及び信号線ドライバ4は、p-Si（ポリシリコン）TFTを用いることで同一のアレイ基板上に形成されている。

【0013】走査線ドライバ3は、図示しないシフトレジスタを含む回路で構成され、前記液晶コントローラから入力した垂直のクロックパルスやスタートパルスに基づいて、前記走査線に順次走査信号を供給する。

【0014】信号線ドライバ4は、シフトレジスタ5、ASW（アナログスイッチ）6を含む回路で構成され、前記液晶コントローラから入力した映像信号、水平のクロックパルス、スタートパルスに基づいて、各信号線7に対応する映像信号を所定のタイミングで供給する。

【0015】この実施形態の信号線ドライバ4では、複

4

数の信号線7を一単位（ブロック）とし、 $n+1$ 段のブロックが形成されている。シフトレジスタ5は、水平のクロックパルス及びスタートパルスに基づいて $n+1$ 段分のASW制御信号を生成し、これを順次出力する。各ブロックの信号線7は、対応するASW6を介して映像信号線8（正負2本）に接続されており、シフトレジスタ5から各ブロックに対応するASW制御信号が順次出力されると、1ブロックに対応する複数のASW6が同時にオンし、映像信号線8から1ブロック分の信号線7に対し映像信号が書き込まれる。シフトレジスタ5からのASW制御信号は1段目、2段目・・・の順に出力され、これにより1水平走査期間内に1水平ラインの画素が1段目、2段目・・・の順にブロック単位で駆動される。

【0016】なお、図2において $n+1$ 段目の信号線は、液晶パネル2の端部（ n 段目）における映像信号の電圧変動を回避するためのダミーの信号線であり、実際の表示には関与していない。

【0017】図1は、上記液晶パネル2に映像信号やクロックパルスなどを供給する液晶コントローラ10の回路構成図である。

【0018】液晶コントローラ10は、映像信号、クロックパルス、基準パルスなどを出力するタイミングコントロール回路11、このタイミングコントロール回路11から出力される映像信号をデジタルデータからアナログデータに変換するD/Aコンバータ12、またタイミングコントロール回路11から出力されるクロックパルス及びスタートパルスの電圧を昇圧する電圧レベル変換回路13、 $n+1$ 段目のブロックに供給されたASW制御信号を取り出して、その電圧を降圧する電圧レベル変換回路14、タイミングコントロール回路11で生成された基準パルスと、電圧レベル変換回路14で降圧されたASW制御信号との位相差を検出する位相比較回路15とから構成されている。

【0019】ここで、電圧レベル変換回路13及び14を設けているのは、液晶の駆動電圧の関係で、タイミングコントロール回路11と各ドライバ3、4との間で電源電圧の差があるため、信号の入出力部分において信号電圧のレベル変換を行う必要があるからである。

【0020】タイミングコントロール回路11は、タイミングコントローラ16と位相補正回路17とから構成されている。

【0021】タイミングコントローラ16は、外部から供給されるシステムクロックに基づいて、垂直／水平のクロックパルス、スタートパルス及び基準パルスなどを生成し、これらのパルス信号を同じく外部から供給される映像信号とともに走査線ドライバ3や信号線ドライバ4に供給する。なお、前記基準パルスは、タイミングコントローラ16内に含まれる図示しない基準パルス発生回路により発生している。

(4)

5

【0022】位相補正回路17は、位相比較回路15で検出された位相差に応じて、タイミングコントローラ16から出力されるクロックパルスの位相を補正する。この実施形態では、後述するように、位相の異なる複数のクロックパルスの中から、位相差の大きさに応じて適切なタイミングのクロックパルスを選択し、これをタイミングコントローラ16に送ることで、クロックパルスの位相を補正する処理を実現している。

【0023】次に、上記のように構成された液晶コントローラ10において、ASW制御信号と基準パルスに基づいてクロックパルスを補正する動作について説明する。

【0024】図3は、ASW制御信号、映像信号及び基準パルスの波形を示す電圧波形図であり、任意の1水平走査期間におけるパルスを示している。図中、例えばASW1段とは、1段目のブロックに供給されるASW制御信号を示している（他も同様とする）。

【0025】上記タイミングコントロール回路11で生成された水平のクロックパルス、スタートパルスは、電圧レベル変換回路13で昇圧された後、信号線ドライバ4へ供給される。そして、信号線ドライバ4のシフトレジスタ5では、これらのパルス信号に基づいてASW制御信号を生成し、1段目からn+1段目まで順次ASW制御信号を出力する。また、このASW制御信号と同期して、映像信号が映像信号線8に供給される。

【0026】図3の破線aでは、m段目のASW制御信号のタイミングが映像信号に比べて早く、ASW制御信号と映像信号の位相関係にずれが生じている。この場合、映像信号はASW制御信号に対して見かけ上、遅いタイミングで供給されることになるため、この映像信号の一部は次のm+1段目の信号線にずれ込んで書き込まれることになる。

【0027】液晶コントローラ10では、1水平走査期間の最後にn+1段目のブロックに供給されたASW制御信号（以下、ASW(n+1)制御信号）を取り出し、電圧レベル変換回路14で降圧した後、位相比較回路15に入力する。一方、タイミングコントローラ16では、ASW(n+1)制御信号の正しいタイミングに調整された基準パルスを生成し、位相比較回路15に入力する。位相比較回路15では、図3の破線bで示すように、タイミングコントローラ16で生成された基準パルスと、ASW(n+1)制御信号とを比較し、その位相差を検出してタイミングコントロール回路11の位相補正回路17へ出力する。位相補正回路17では、前記2つの信号の位相差に応じて、タイミングコントローラ16から出力されるクロックパルスの位相を補正する。この補正により、図3の破線cに示すように、次の1水平走査期間においては、ASW制御信号と映像信号のタイミングが最適化され、位相関係のずれが解消されることになる。

6

【0028】なお、この実施形態では、比較のために取り出すASW制御信号を、最終段となるn+1段目のブロックに供給されたASW(n+1)制御信号としたが、これは合計n段のブロックを駆動するシフトレジスタ5の特性バラツキによるタイミングの遅延をまとめて補正するためである。この例に限らず、n+1段目以外のブロックに供給されたASW制御信号を取り出して比較対象としてもよい。

【0029】次に、位相比較回路15と位相補正回路17の具体的な回路構成について説明するとともに、検出した位相差からクロックパルスの位相を補正する処理についてさらに詳細に説明する。

【0030】図4は、図1に示す位相比較回路15と位相補正回路17の具体的な回路構成図である。

【0031】位相比較回路15は、タイミングコントローラ16で生成された基準パルスを入力とする第1のフリップフロップ(F/F)回路111と、電圧レベル変換回路14で降圧されたASW(n+1)制御信号を入力とする第2のフリップフロップ回路112と、第1のフリップフロップ回路111からの出力信号及び第2のフリップフロップ回路112からの反転出力信号の論理積を示すAND回路113を利用して、前記2つの信号の位相差をカウントするカウンタ回路114とから構成されている。なお、第1のフリップフロップ回路111、第2のフリップフロップ回路112及びカウンタ回路114は、システムクロックに同期して駆動される。

【0032】位相補正回路17は、カウンタ回路114から出力された位相差に基づいて、位相の異なる複数のクロックパルスのうちの一つを選択して出力するマルチプレクサ115により構成されている。この位相補正回路17には、システムクロックに基づいてタイミングコントローラ16により生成された、位相の異なる複数のクロックパルスが入力される。

【0033】次に、液晶パネル2へ供給されるクロックパルスの位相を補正する動作について説明する。

【0034】まず、1水平走査期間の最後にn+1段目のブロックに供給されたASW(n+1)制御信号が取り出され、電圧レベル変換回路14で降圧された後、位相比較回路15の第2のフリップフロップ回路112に入力される。一方、タイミングコントローラ16で生成された基準パルスは位相比較回路15の第1のフリップフロップ回路111に入力される。このASW(n+1)制御信号と基準パルスは、それぞれのフリップフロップ回路で波形が整形された後、第1のフリップフロップ回路111からは基準パルスの反転信号が、また第2のフリップフロップ回路112からはASW(n+1)制御信号に対応する出力信号が取り出され、AND回路113へ入力される。AND回路113を利用して前記基準パルスとASW(n+1)制御信号の位相差をカウンタ回路114でカウントする。マルチプレクサ115

(5)

7

では、位相の異なる複数のクロックパルスの中から、前記二値化された信号に対応するクロックパルス、すなわち位相差の大きさに応じた適切なタイミングのクロックパルスが選択され、タイミングコントローラ16に出力される。これにより、ASW制御信号と映像信号のタイミングが最適化され、位相関係のずれが解消される。

【0035】なお、この実施形態において、タイミングコントローラ16から出力される基準パルスは、タイミングコントローラ16内に含まれる図示しない基準パルス発生回路により発生しているが、同様にして位相比較回路15をタイミングコントローラ16と一体化した構成としてもよい。このように一体化した場合は、プリント配線板上の回路部品構成を簡素化することができる。また、信号線ドライバ4から取り出したASW(n+1)制御信号を電圧レベル変換回路14で降圧する前に位相比較を行うような回路構成としてもよい。

【0036】

【発明の効果】以上説明したように、この発明に係わる信号制御回路では、信号線に供給されるスイッチ制御信号と基準パルスとの位相差を検出し、その位相差に応じてクロックパルスを補正するようにしたので、信号線ドライバ内のシフトレジスタを構成するTFTの特性バラツキにより、ASW制御信号のタイミングがばらついて、信号線の選択期間と映像信号の位相関係のずれを解消することができるため、ゴーストを低減して、良好な

8

表示品位を得ることが可能となる。

【図面の簡単な説明】

【図1】液晶コントローラの回路構成図。

【図2】アクティブマトリクス型液晶表示装置の回路構成図。

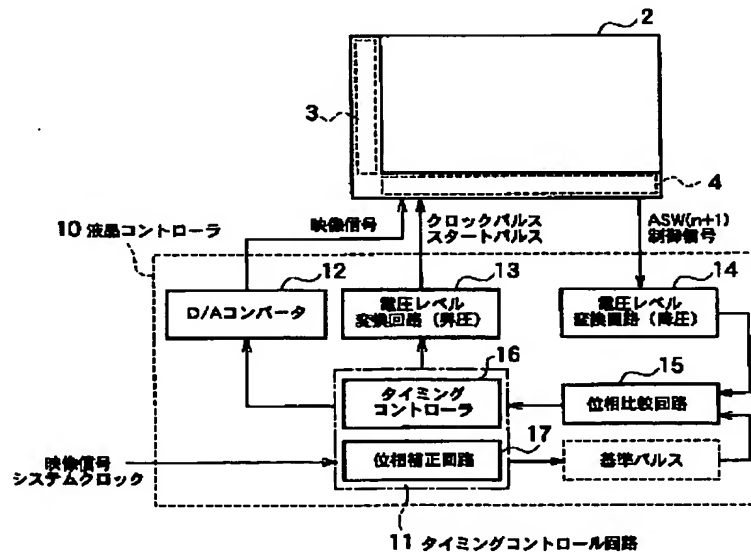
【図3】ASW制御信号、映像信号及び基準パルスの波形を示す電圧波形図。

【図4】位相比較回路と位相補正回路の具体的な回路構成図。

【符号の説明】

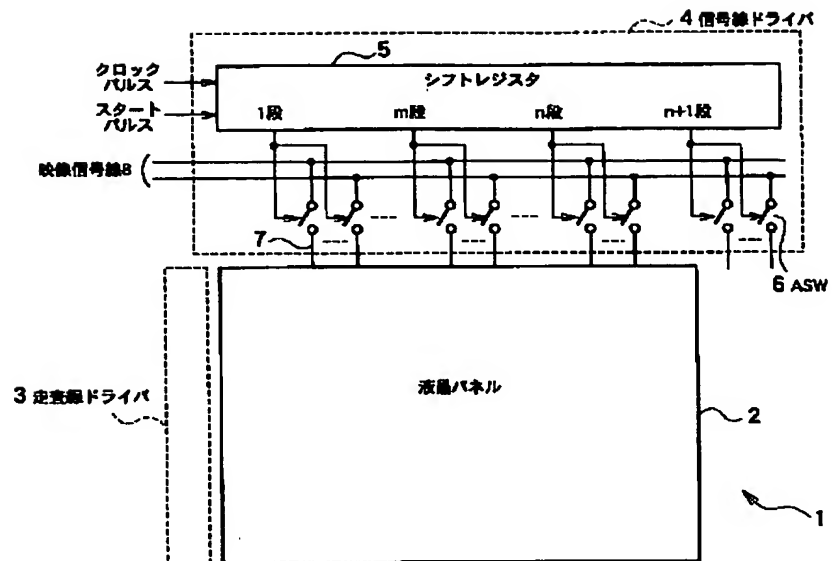
2…液晶パネル、3…走査線ドライバ、4…信号線ドライバ
5…シフトレジスタ、6…ASW（アナログスイッチ）
10…液晶表示装置、11…タイミングコントロール回路
12…D/Aコンバータ、13…電圧レベル変換回路（昇圧）
14…電圧レベル変換回路（降圧）
15…位相比較回路
16…タイミングコントローラ、17…位相補正回路
111…第1のフリップフロップ（F/F）回路
112…第2のフリップフロップ回路
113…AND回路、114…カウンタ回路、115…マルチプレクサ

【図1】

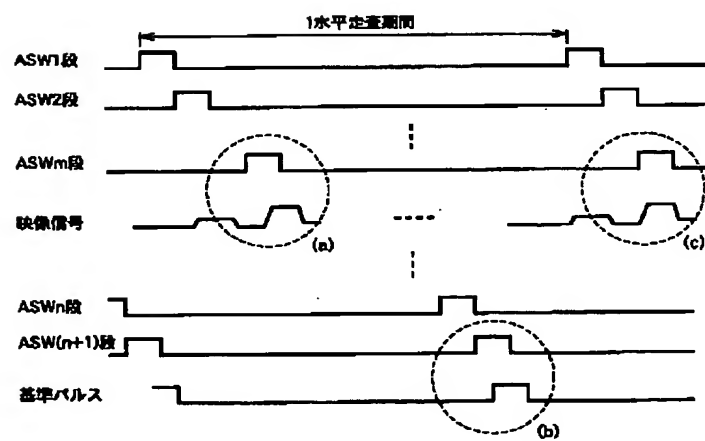


(6)

【図2】

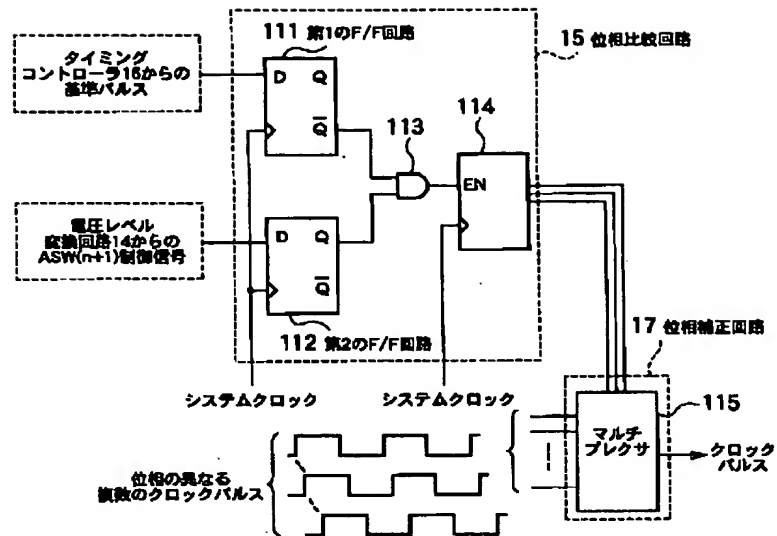


【図3】



(7)

【図4】



フロントページの続き

Fターム(参考) 5C006 AA01 AF46 AF61 AF82 BB16
 BC12 BC20 BF03 BF06 BF14
 BF22 BF24 BF26 BF46 EB05
 FA20 FA21
 5C080 AA10 BB05 DD03 EE17 FF11
 GG07 GG08 JJ02 JJ04

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the signal-control circuit of the active matrix liquid crystal display which contained the actuation circuit on the array substrate which constitutes a liquid crystal panel.

[0002]

[Description of the Prior Art] Since the active matrix liquid crystal indicating equipment using TFT (thin transistor) as a switching element does not have a cross talk between contiguity pixels and it is suitable for highly minute-ization for each [which constitutes a display screen] pixel of every, it is observed as what realizes high-definition-izing of a display screen, enlargement, and color picture-ization. The liquid crystal display of actuation circuit one apparatus which built in the actuation circuit on the array substrate which constitutes one side of a liquid crystal panel for the objects, such as thin-shape[highly-minute-izing and]-izing, attracts attention so that it may be represented with recent years by the liquid crystal display which used p-Si (polish recon) TFT.

[0003] As an actuation method of the liquid crystal display of such actuation circuit one apparatus, the block sequential actuation method which impresses a video signal is learned, making sequential selection of two or more signal lines (block) within 1 horizontal-scanning period. The signal-line driver which performs this block sequential actuation consists of a shift register and an analog switch (following, ASW), and a video signal, a clock pulse, and a start pulse are supplied from a signal-control circuit. And the shift pulse which said shift register generates serves as an ASW control signal, and ON/OFF of ASW are controlled. By this ON/OFF of ASW, sequential selection of a signal line is performed and a video signal is supplied to a signal line.

[0004]

[Problem(s) to be Solved by the Invention] By the way, in order to impress a predetermined video signal to a certain signal line, the phase relation between the selection period of this signal line and a video signal needs to be kept suitable. However, if this phase relation shifts, it is postponed until the selection period of the signal line of one this side or back by the video signal, and it is supplied at it, thereby, a ghost will occur on a screen and the problem that display grace falls will produce it. As main causes which a gap of such phase-related produces, the property variation of TFT which constitutes the shift register in a signal-line driver is mentioned.

[0005] By canceling the selection period of a signal line, and a gap of phase-related [of a video signal], this invention reduces a ghost and aims at offering the signal-control circuit which can acquire good display grace.

[0006]

[Means for Solving the Problem] In order to attain with the above-mentioned object, invention of claim

1 The array substrate containing the pixel electrode connected to the switching device arranged near [intersection] each [of two or more signal lines arranged in the shape of a matrix and two or more scanning lines, said signal line, and the scanning line], and said switching device, The opposite

substrate containing the counterelectrode which counters said pixel electrode, and the light modulation layer which intervened between said substrates, In the signal-control circuit which supplies a video signal, a clock pulse, and a start pulse to the liquid crystal display equipped with each actuation circuit of said signal line and the scanning line at least One of the switch control signals outputted in order to make sequential selection of said every two or more signal lines from the actuation circuit of said signal line It is characterized by having the reference pulse generating circuit which generates a phase comparison circuit and said reference pulse signal to the extent that phase contrast with a reference pulse signal is detected, and the phase compensator which amends the phase of the clock pulse which supplies at least the above to said liquid crystal display according to the phase contrast detected in the phase comparison circuit.

[0007] Invention of claim 2 is set to invention of a claim. At least the above moreover, a phase comparison circuit The 1st flip-flop circuit which considers said reference pulse signal as an input, and the 2nd flip-flop circuit which considers said one switch control signal as an input, It consists of counter circuits which count the phase contrast of said two signals using the AND of said output signal from the 1st flip-flop circuit and reversal output signal from the 2nd flip-flop circuit. Said phase compensator is characterized by consisting of data selection circuitries which choose and output one of two or more clock pulses from which a phase differs based on the phase contrast outputted from said counter circuit.

[0008] Since the phase of the clock pulse which determines the sending-out timing of a switch control signal is amended according to the phase contrast of the one and the reference pulse of a switch control signal according to the above-mentioned configuration, timing rose ***** of a switch control signal can also optimize the timing of a switch control signal and a video signal by the property variation of TFT which constitutes the shift register in a signal-line driver, and a gap of phase-related can be canceled.

[0009]

[Embodiment of the Invention] Hereafter, the operation gestalt at the time of applying the signal-control circuit concerning this invention to the signal-control circuit of an active matrix liquid crystal display is explained.

[0010] Drawing 2 is circuitry drawing of the active matrix liquid crystal indicating equipment concerning this operation gestalt, and shows the circuitry of a block sequential actuation method especially. This liquid crystal display 1 consists of a liquid crystal panel 2, the scanning-line driver 3 for driving this liquid crystal panel 2 and the signal-line driver 4, and a liquid crystal controller that supplies a video signal, a clock pulse, and a start pulse to these drivers and that is not illustrated.

[0011] The liquid crystal panel 2 is constituted as a display panel of the light transmission mold displayed using the light source light from the back light which is not illustrated, for example. Two or more signal lines 7 connected with the signal-line driver 4 at this liquid crystal panel 2 and the scanning line which the plurality connected with the scanning-line driver 3 does not illustrate are arranged in the shape of a matrix. These wiring is formed on the array substrate which is not illustrated, and the switching device and pixel electrode which consist of TFT which is not illustrated are further formed near [intersection] each. On the other hand on the opposite substrate which counters with this array substrate and is arranged and which is not illustrated, the counterelectrode is formed, and the liquid crystal layer as a light modulation layer which is not illustrated is held between these two substrates.

[0012] In addition, in the liquid crystal panel 2, the scanning-line driver 3 and the signal-line driver 4 which are mentioned later are formed on the same array substrate by using p-Si (polish recon) TFT.

[0013] The scanning-line driver 3 consists of circuits containing the shift register which is not illustrated, and supplies a sequential-scanning signal to said scanning line based on the vertical clock pulse and vertical start pulse which were inputted from said liquid crystal controller.

[0014] The signal-line driver 4 consists of a shift register 5 and a circuit containing ASW (analog switch)6, and supplies the video signal corresponding to each signal line 7 to predetermined timing based on the video signal inputted from said liquid crystal controller, a level clock pulse, and a start pulse.

[0015] In the signal-line driver 4 of this operation gestalt, two or more signal lines 7 are made into one

unit (block), and $n+1$ step of block is formed. A shift register 5 generates the ASW control signal for $n+1$ step based on a level clock pulse and a level start pulse, and carries out the sequential output of this. The signal line 7 of each block is connected to the video-signal line 8 (two positive/negative) through corresponding ASW6, if the sequential output of the ASW control signal corresponding to each block is carried out from a shift register 5, two or more ASW6 corresponding to 1 block will turn on simultaneously, and a video signal will be written in from the video-signal line 8 to the signal line 7 for 1 block. The ASW control signal from a shift register 5 is outputted in order of ... the 2nd step, and, thereby, the 1st step of pixel [the 1st step of / the 2nd step of] of 1 level line drives it per block in order of ... within 1 horizontal-scanning period.

[0016] In addition, in drawing 2, the $n+1$ st step of signal line is a signal line of the dummy for avoiding the voltage variation of the video signal in the edge (the n -th step) of a liquid crystal panel 2, and is not participating in a actual display.

[0017] Drawing 1 is circuitry drawing of the liquid crystal controller 10 which supplies a video signal, a clock pulse, etc. to the above-mentioned liquid crystal panel 2.

[0018] The liquid crystal controller 10 A video signal, a clock pulse, A reference pulse etc. The timing control circuit 11 to output, D/A converter 12 which changes into analog data the video signal outputted from this timing control circuit 11 from digital data, and the clock pulse outputted from the timing control circuit 11 And the electrical-potential-difference level-conversion circuit 13 which carries out pressure up of the electrical potential difference of a start pulse, and the ASW control signal supplied to the $n+1$ st step of block are taken out. It consists of phase comparison circuits 15 to the extent that the phase contrast of the reference pulse generated by the electrical-potential-difference level-conversion circuit 14 which lowers the pressure of the electrical potential difference, and the timing control circuit 11, and the ASW control signal whose pressure was lowered in the electrical-potential-difference level-conversion circuit 14 is detected.

[0019] Here, the relation of the driver voltage of liquid crystal has formed the electrical-potential-difference level-conversion circuits 13 and 14, and it is because there is a difference of supply voltage between the timing control circuit 11 and each drivers 3 and 4, so it is necessary to perform the level conversion of a signal level in the I/O part of a signal.

[0020] The timing control circuit 11 consists of a timing controller 16 and phase compensator 17.

[0021] Based on the system clock supplied from the outside, the timing controller 16 generates a vertical/horizontal clock pulse, a start pulse, a reference pulse, etc., and supplies them to the scanning-line driver 3 or the signal-line driver 4 with the video signal to which these pulse signals are similarly supplied from the outside. In addition, said reference pulse is generated by the reference pulse generating circuit which is included in the timing controller 16 and which is not illustrated.

[0022] Phase compensator 17 amends the phase of the clock pulse outputted from the timing controller 16 according to the phase contrast detected in the phase comparison circuit 15. With this operation gestalt, out of two or more clock pulses from which a phase differs, the clock pulse of suitable timing was chosen according to the magnitude of phase contrast, and processing which amends the phase of a clock pulse is realized by sending this to the timing controller 16 so that it may mention later.

[0023] Next, in the liquid crystal controller 10 constituted as mentioned above, the actuation which amends a clock pulse based on an ASW control signal and a reference pulse is explained.

[0024] Drawing 3 is the electrical-potential-difference wave form chart showing the wave of an ASW control signal, a video signal, and a reference pulse, and shows the pulse in 1 horizontal-scanning period of arbitration. The ASW control signal supplied to the 1st step of block is shown in one step of ASW among drawing (others are also made the same).

[0025] After pressure up of the level clock pulse generated by the above-mentioned timing control circuit 11 and the start pulse is carried out in the electrical-potential-difference level-conversion circuit 13, they are supplied to the signal-line driver 4. And in the shift register 5 of the signal-line driver 4, an ASW control signal is generated based on these pulse signals, and an ASW control signal is outputted one by one from the 1st step to the $n+1$ st step. Moreover, synchronizing with this ASW control signal, a video signal is supplied to the video-signal line 8.

[0026] With the broken line a of drawing 3 , the gap has arisen [the timing of the m-th step of ASW control signal] in the phase relation between an ASW control signal and a video signal early compared with the video signal. In this case, since a video signal will be seemingly supplied to late timing to an ASW control signal, a part of this video signal will be postponed and written in the m+1st step of signal line as follows.

[0027] after lowering the pressure of the ASW control signal (henceforth, ASW (n+1) control signal) supplied to the last of 1 horizontal-scanning period at the n+1st step of block by the liquid crystal controller 10 in ejection and the electrical-potential-difference level-conversion circuit 14 -- about -- it inputs into the phase comparison circuit 15. the reference pulse adjusted to the right timing of an ASW (n+1) control signal by the timing controller 16 on the other hand -- generating -- about -- it inputs into the phase comparison circuit 15. In the phase comparison circuit 15, as the broken line b of drawing 3 shows, the reference pulse generated by the timing controller 16 is compared with an ASW (n+1) control signal, the phase contrast is detected, and it outputs to the phase compensator 17 of the timing control circuit 11. In phase compensator 17, the phase of the clock pulse outputted from the timing controller 16 is amended according to the phase contrast of said two signals. As shown in the broken line c of drawing 3 , in the next 1 horizontal-scanning period, the timing of an ASW control signal and a video signal will be optimized by this amendment, and a gap of phase-related will be canceled.

[0028] In addition, although the ASW control signal taken out for a comparison was made into the ASW (n+1) control signal supplied to the last stage and the n+1st step of becoming block with this operation gestalt, this is for amending collectively delay of the timing by the property variation of the shift register 5 which drives a total of n steps of blocks. Not only this example but the ASW control signal supplied to the block of those other than the n+1st step is taken out, and it is good also as an object for a comparison.

[0029] Next, while explaining the concrete circuitry of the phase comparison circuit 15 and phase compensator 17, the processing which amends the phase of a clock pulse from the detected phase contrast is further explained to a detail.

[0030] Drawing 4 is concrete circuitry drawing of the phase comparison circuit 15 and phase compensator 17 to the extent that it is shown in drawing 1 .

[0031] The 1st flip-flop (F/F) circuit 111 which considers as an input the reference pulse by which the phase comparison circuit 15 was generated by the timing controller 16, The 2nd flip-flop circuit 112 which considers as an input the ASW (n+1) control signal whose pressure was lowered in the electrical-potential-difference level-conversion circuit 14, It consists of counter circuits 114 which count the phase contrast of said two signals using AND circuit 113 which shows the AND of the output signal from the 1st flip-flop circuit 111, and the reversal output signal from the 2nd flip-flop circuit 112. In addition, the 1st flip-flop circuit 111, 2nd flip-flop circuit 112, and counter circuit 114 are driven synchronizing with a system clock.

[0032] Phase compensator 17 is constituted by the multiplexer 115 which chooses and outputs one of two or more clock pulses from which a phase differs based on the phase contrast outputted from the counter circuit 114. Two or more clock pulses which were generated by the timing controller 16 based on the system clock and from which a phase differs are inputted into this phase compensator 17.

[0033] Next, the actuation which amends the phase of the clock pulse supplied to a liquid crystal panel 2 is explained.

[0034] after [first,] the ASW (n+1) control signal supplied to the last of 1 horizontal-scanning period at the n+1st step of block was taken out and the pressure was lowered in the electrical-potential-difference level-conversion circuit 14 -- about -- it is inputted into the 2nd flip-flop circuit 112 of the phase comparison circuit 15. On the other hand, at least the reference pulse generated by the timing controller 16 is inputted into the 1st flip-flop circuit 111 of the phase comparison circuit 15. the reversal signal of the reference pulse from the 1st flip-flop circuit 111 after, as for this ASW (n+1) control signal and reference pulse, the wave was operated orthopedically in each flip-flop circuit -- moreover, from the 2nd flip-flop circuit 112, the output signal corresponding to an ASW (n+1) control signal is taken out, and it is inputted into AND circuit 113. The phase contrast of said reference pulse and ASW (n+1) control

signal is counted in a counter circuit 114 using AND circuit 113. In a multiplexer 115, out of two or more clock pulses from which a phase differs, the clock pulse corresponding to said signal by which binarization was carried out, i.e., the clock pulse of the suitable timing according to the magnitude of phase contrast, is chosen, and it is outputted to the timing controller 16. Thereby, the timing of an ASW control signal and a video signal is optimized, and a gap of phase-related is canceled.

[0035] In addition, in this operation gestalt, the reference pulse outputted from the timing controller 16 is good also as a configuration with which making it the same only united the phase comparison circuit 15 with the timing controller 16, although it has generated by the reference pulse generating circuit which is included in the timing controller 16 and which is not illustrated. Thus, when it unifies, the passive-circuit-elements configuration on a printed wired board can be simplified. Moreover, before lowering the pressure of the ASW (n+1) control signal taken out from the signal-line driver 4 in the electrical-potential-difference level-conversion circuit 14, it is good also as circuitry which performs a phase comparison.

[0036]

[Effect of the Invention] As explained above, in the signal-control circuit concerning this invention Since the phase contrast of the switch control signal and reference pulse which are supplied to a signal line is detected and the clock pulse was amended according to the phase contrast Since the selection period of a signal line and a gap of phase-related [of a video signal] are cancelable with the property variation of TFT which constitutes the shift register in a signal-line driver even if the timing of an ASW control signal varies, a ghost is reduced and it becomes possible to acquire good display grace.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The array substrate containing the pixel electrode connected to the switching device arranged near [intersection] each [of two or more signal lines arranged in the shape of a matrix and two or more scanning lines, said signal line, and the scanning line], and said switching device, The opposite substrate containing the counterelectrode which counters said pixel electrode, and the light modulation layer which intervened between said substrates, In the signal-control circuit which supplies a video signal, a clock pulse, and a start pulse to the liquid crystal display equipped with each actuation circuit of said signal line and the scanning line at least One of the switch control signals outputted in order to make sequential selection of said every two or more signal lines from the actuation circuit of said signal line The reference pulse generating circuit which generates a phase comparison circuit and said reference pulse signal to the extent that phase contrast with a reference pulse signal is detected, The signal-control circuit characterized by having the phase compensator which amends the phase of the clock pulse which supplies at least the above to said liquid crystal display according to the phase contrast detected in the phase comparison circuit.

[Claim 2] The 1st flip-flop circuit where, as for a phase comparison circuit, at least the above considers said reference pulse signal as an input, The 2nd flip-flop circuit which considers said one switch control signal as an input, It consists of counter circuits which count the phase contrast of said two signals using the AND of said output signal from the 1st flip-flop circuit and reversal output signal from the 2nd flip-flop circuit. Said phase compensator is a signal-control circuit according to claim 1 characterized by consisting of data selection circuitries which choose and output one of two or more clock pulses from which a phase differs based on the phase contrast outputted from said counter circuit.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

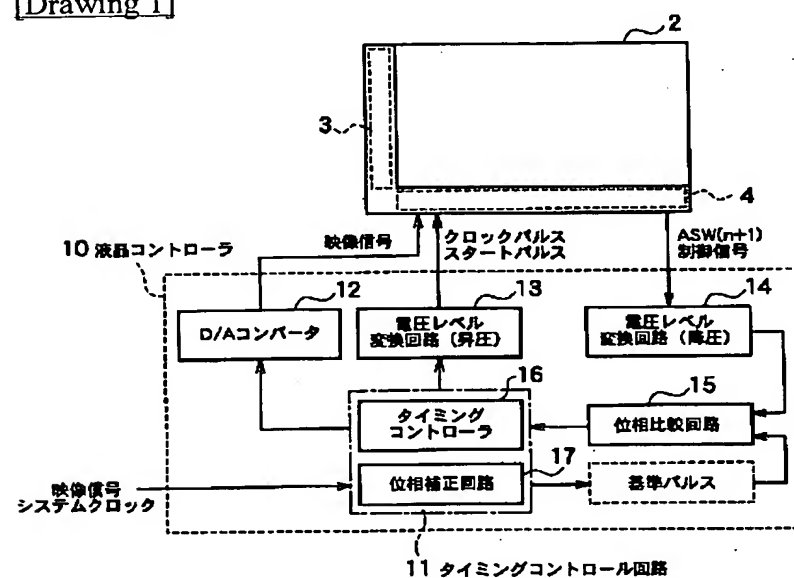
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

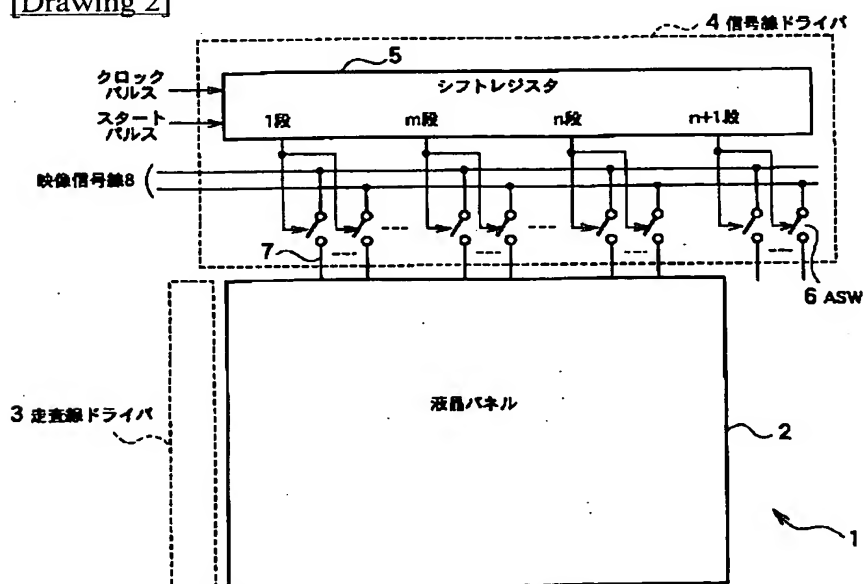
3. In the drawings, any words are not translated.

DRAWINGS

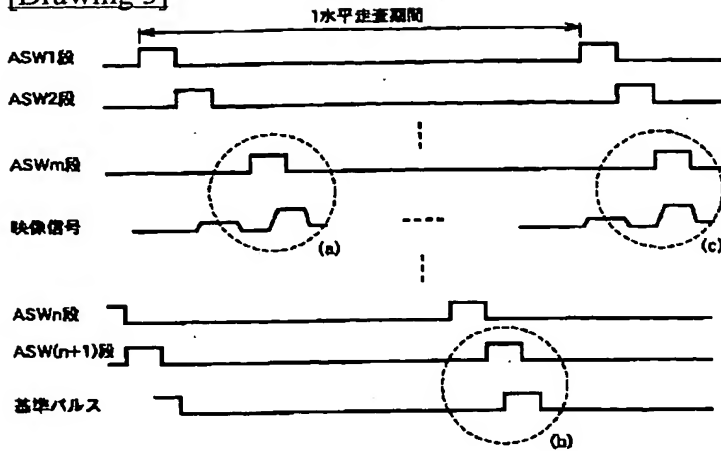
[Drawing 1]



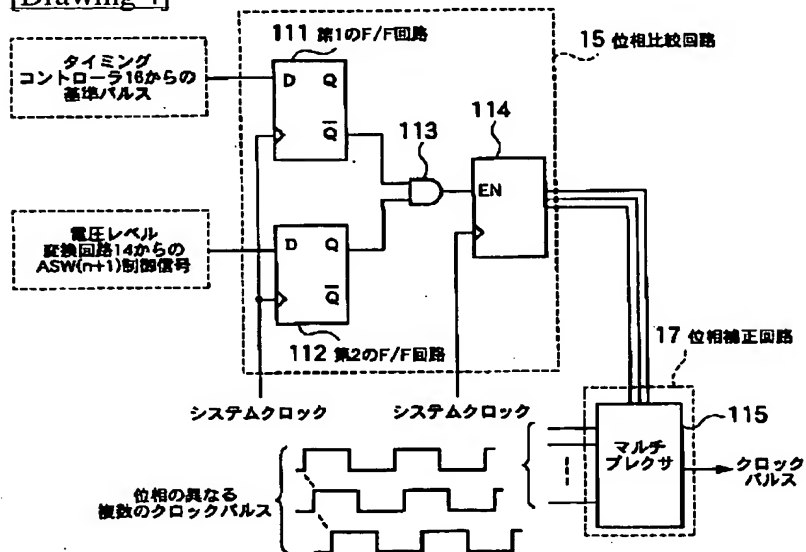
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]